

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-276101

(43)Date of publication of application : 06.10.2000

(51)Int.Cl.

G09G 3/28

G09G 3/20

(21)Application number : 11-080194

(71)Applicant : PIONEER ELECTRONIC CORP

(22)Date of filing : 24.03.1999

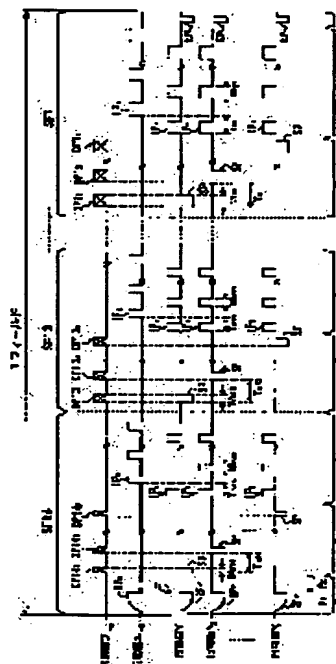
(72)Inventor : TOKUNAGA TSUTOMU

## (54) METHOD OF DRIVING PLASMA DISPLAY PANEL

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To realize suppression of a false contour with stabilized operation, low power consumption, and high contrast by making a pulse width of the scanning pulse in a backward sub-field in a display period of a 1st field longer than that of the scanning pulse in the leading sub-field.

**SOLUTION:** A 1st sustain driver initializes all discharge cells by simultaneously applying an erase pulse EP to row electrodes X1-Xn of a plasma display(PDP). Next, in a pixel data writing process Wc executed in each sub-field SF1-SF14, an address driver generates pixel data pulses having a voltage according to logic levels of pixel drive data bits supplied from memory, and sequentially applies them to column electrodes D1-m for each row. And in the pixel data writing process Wc, the later the sub-field is in one field period, the longer the pulse width of the applied scanning pulses is made.



## LEGAL STATUS

[Date of request for examination]

13.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3578322

[Date of registration]

23.07.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

***This Page Blank (uspto)***

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-276101

(P2000-276101A)

(43) 公開日 平成12年10月6日(2000.10.6)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト <sup>*</sup> (参考)
G 0 9 G 3/28		G 0 9 G 3/28	J 5 C 0 8 0
3/20	6 2 2	3/20	6 2 2 Q

審査請求 未請求 請求項の数 5 O L (全 16 頁)

(21) 出願番号 特願平11-80194  
(22) 出願日 平成11年3月24日(1999.3.24)

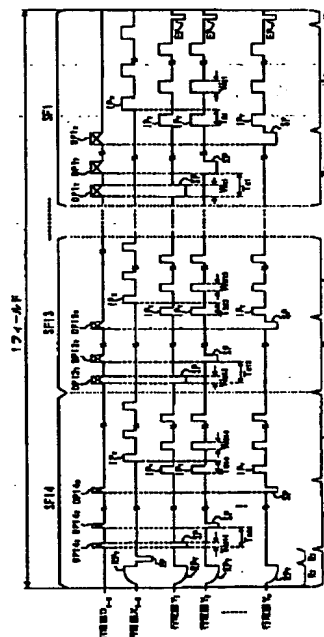
(71) 出願人 000005016  
バイオニア株式会社  
東京都目黒区目黒1丁目4番1号  
(72) 発明者 徳永 勉  
山梨県中巨摩郡田富町西花輪2680番地 バ  
イオニア株式会社ディスプレイセンター内  
(74) 代理人 100079119  
弁理士 藤村 元彦  
Fターム(参考) 5C080 AA05 DD03 DD26 DD30 EE29  
FF12 GG09 GG12 HH02 HH04  
JJ02 JJ04 JJ05

(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法

(57) 【要約】

【課題】 安定した動作にて偽輪郭の抑制、低消費電力化及び高コントラスト化を実現出来るプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【解決手段】 1フィールド期間の先頭のサブフィールドにおいてのみでプラズマディスプレイパネルの全放電セルを非発光セルの状態に初期化すべくリセット放電せしめ、画素データに応じた1のサブフィールドにおいて上記非発光セルを発光セルの状態に推移させるべき選択書込放電を生起せしめる。この際、かかる選択書込放電を生起させるべく印加する走査パルスのパルス幅を、1フィールド期間中の先頭のサブフィールドよりも後方のサブフィールドで長くする。



【特許請求の範囲】

【請求項1】 走査ライン毎に配列された複数の行電極と前記行電極に交叉して配列された複数の列電極との各交点にて1画素に対応した放電セルを形成しているプラズマディスプレイパネルの駆動方法であって、

1フィールドの表示期間をN個のサブフィールドに分割し、

前記N個の前記サブフィールドの内の先頭部の前記サブフィールドにおいてのみで全ての前記放電セルを非発光セルの状態に初期化するリセット放電を生起せしめるリセットパルス印加するリセット行程と、

前記N個の前記サブフィールドの内の画素データに応じた1のサブフィールドにおいて前記非発光セルを発光セルの状態に推移させる選択書込放電を生起せしめる走査パルス印加する画素データ書込行程と、

前記N個の前記サブフィールド各々において前記発光セルのみを前記サブフィールドの重み付けに対応した発光回数だけ発光させる維持放電を生起せしめる維持パルス印加する発光維持行程と、を実行し、

前記1フィールドの表示期間の後方のサブフィールドでの前記走査パルスのパルス幅を先頭のサブフィールドでの前記走査パルスのパルス幅よりも長くすることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】 前記1フィールドの表示期間の後方のサブフィールドでの前記維持パルスのパルス幅を先頭のサブフィールドでの前記維持パルスのパルス幅よりも長くすることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項3】 前記N個の前記サブフィールドの内の画素データに応じた1のサブフィールドにおいて前記放電セルを発光セルの状態に推移させる第1の選択書込放電を生起せしめた後、前記1のサブフィールドよりも後に実行するサブフィールド各々の内の少なくとも1において第2の選択書込放電を生起せしめることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項4】 前記サブフィールドの内の最後尾のサブフィールドにおいてのみで全ての前記放電セルを前記非発光セルの状態にする消去放電を生起させる消去行程を設けたことを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項5】 前記N個の前記サブフィールドの内の連続したn個（nは0～N）の前記サブフィールド各々での前記発光維持行程において前記発光セルを発光せしめることによりN+1階調表示を行うことを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明は、プラズマディスプレイパネルの駆動方法に関する。

【0002】

【従来の技術】 近年、表示装置の大型化に伴い、薄型の表示装置が要求され、各種の薄型表示装置が実用化されている。AC（交流放電）型のプラズマディスプレイパネル（以下、PDPと称する）は、かかる薄型表示装置の1つとして着目されている。PDPは、複数の列電極（アドレス電極）と、これら列電極と交叉して配列された複数の行電極とを備えている。これら各行電極対及び列電極は、放電空間に対して誘電体層で被覆されており、行電極対と列電極との交点にて1画素に対応した放電セルが形成される構造となっている。

【0003】 この際、各放電セルは、放電現象を利用して発光を行うものである為、“発光”及び“非発光”の2つの状態しかもたない。そこで、かかるPDPにて、映像信号に基づく中間調の輝度表示を実現させるべく、サブフィールド法を用いる。サブフィールド法では、1フィールド期間をN個のサブフィールドに分割し、各サブフィールドに、画素データ（映像信号を各画素毎に対応させてサンプリングしたNビットのデータ）の各ビット桁の重み付けに対応した発光期間（発光回数）を夫々割り当てて発光駆動を実施する。

【0004】 例えば、図1に示されるが如く、1フィールド期間を6個のサブフィールドSF1～SF6に分割した場合には、これらサブフィールドSF1～SF6各々に、

SF1：1

SF2：2

SF3：4

SF4：8

SF5：16

SF6：32

なる発光実施回数を割り当てる。

【0005】 ここで、例えば、“輝度”32°の表示を行う場合には、サブフィールドSF1～SF6の内のSF6のみで、各放電セルに対して発光を実施させる。又、“輝度”31°の表示を行う場合には、サブフィールドSF6を除く他のサブフィールドSF1～SF5において発光を実施させる。このように、1フィールド期間内においてサブフィールドSF1～SF6で実施した発光の総数により、64段階での中間調の輝度表現が可能となるのである。

【0006】 ところが、図1に示されるように、“輝度”32°の表示を行う場合と、“輝度”31°の表示を行う場合とは、1フィールド期間内において発光状態にある期間と非発光状態にある期間とが互いに反転している為、表示画面上に偽輪郭が視覚されてしまうという問題が発生した。つまり、1フィールド期間内において、“輝度”32°で発光させるべき放電セルが発光している期間中は、“輝度”31°で発光させるべき放電セルは非発光状態にあり、一方、“輝度”31°で発光させるべき放電セル

が発光している期間中は、輝度“32”で発光させるべき放電セルは非発光状態にある。よって、輝度“32”の表示領域と、輝度“31”の表示領域とが互いに隣接している画像を眺めている最中に、輝度“32”の表示領域に存在する放電セルが非発光状態から発光状態へと推移するタイミングで輝度“31”の表示領域に視線を移すと、両者の非発光状態のみを連続して見ることになる。この際、両表示領域の境界上に暗い線が視覚され、これが画素データとは何等関係のない偽輪郭となって画面上に現れてしまい、表示品質を低下させるのである。

【0007】又、上述した如く、PDPは放電現象を利用している為、表示内容とは関係のない放電(発光を伴う)をも実施しなければならず、画像のコントラストを低下させてしまうという問題があった。更に、現在、かかるPDPを製品化するにあたり、低消費電力を実現することが一般的な課題となっている。

【0008】

【発明が解決しようとする課題】本発明は、上記の問題を解決するためになされたものであり、安定した動作にて偽輪郭の抑制、低消費電力化及び高コントラスト化を実現出来るプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明によるプラズマディスプレイパネルの駆動方法は、走査ライン毎に配列された複数の行電極と前記行電極に交叉して配列された複数の列電極との各交点にて1画素に対応した放電セルを形成しているプラズマディスプレイパネルの駆動方法であって、1フィールドの表示期間をN個のサブフィールドに分割し、前記N個の前記サブフィールドの内の先頭部の前記サブフィールドにおいてのみで全ての前記放電セルを非発光セルの状態に初期化するリセット放電を生起せしめるリセットパルスを加するリセット行程と、前記N個の前記サブフィールドの内の画素データに応じた1のサブフィールドにおいて前記非発光セルを発光セルの状態に推移させる選択書込放電を生起せしめる走査パルスを加する画素データ書込行程と、前記N個の前記サブフィールド各々において前記発光セルのみを前記サブフィールドの重み付けに対応した発光回数だけ発光させる維持放電を生起せしめる維持パルスを加する発光維持行程と、を実行し、前記1フィールドの表示期間の後方のサブフィールドでの前記走査パルスのパルス幅を先頭のサブフィールドでの前記走査パルスのパルス幅よりも長くする。

【0010】

【発明の実施の形態】以下、本発明の実施例を図を参照しつつ説明する。図2は、本発明による駆動方法に基づいてプラズマディスプレイパネルを発光駆動するプラズマディスプレイ装置の概略構成を示す図である。図2に示されるように、かかるプラズマディスプレイ装置は、

A/D変換器1、駆動制御回路2、データ変換回路3、メモリ4、アドレスドライバ6、第1サステンドライバ7及び第2サステンドライバ8からなる駆動部と、プラズマディスプレイパネルとしてのPDP10とから構成されている。

【0011】PDP10は、アドレス電極としてのm個の列電極 $D_1 \sim D_m$ と、これら列電極各々と交叉して配列されている夫々n個の行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ を備えている。この際、行電極X及び行電極Yの一对にて、PDP10における1行分に対応した行電極を形成している。列電極D、行電極X及びYは放電空間に対して誘電体層で被覆されており、各行電極対と列電極との交点にて1画素に対応した放電セルが形成される構造となっている。

【0012】A/D変換器1は、駆動制御回路2から供給されるクロック信号に応じて、入力されたアナログの入力映像信号をサンプリングしてこれを1画素毎に対応した例えば8ビットの画素データDに変換し、これをデータ変換回路3に供給する。尚、上記入力映像信号は元の映像信号に対してガンマ補正処理が施されたものである為、かかる入力映像信号をサンプリングして得られた画素データDもガンマ補正処理が施されたものであるといえる。

【0013】データ変換回路3は、かかる8ビットの画素データDに対して輝度調整処理、及び多階調化処理を施した後、PDP10の各放電セルを14のサブフィールド各々で発光駆動させる為の14ビットの変換画素データHDに変換してメモリ4に供給する。尚、かかるデータ変換回路3による作用については、後述する。メモリ4は、駆動制御回路2から供給されてくる書込信号に従って上記変換画素データHDを順次書き込む。この際、1画面(n行、m列)分の変換画素データHD<sub>11-nm</sub>の書き込みが終了すると、メモリ4は、この1画面分の変換画素データHD<sub>11-nm</sub>を、各ビット桁毎に分割した画素駆動データビットDB14<sub>11-nm</sub>、DB13<sub>11-nm</sub>、…、DB2<sub>11-nm</sub>、DB1<sub>11-nm</sub>、すなわち、

DB14<sub>11-nm</sub>: 変換画素データHD<sub>11-nm</sub>の第14ビット目  
DB13<sub>11-nm</sub>: 変換画素データHD<sub>11-nm</sub>の第13ビット目  
DB12<sub>11-nm</sub>: 変換画素データHD<sub>11-nm</sub>の第12ビット目  
DB11<sub>11-nm</sub>: 変換画素データHD<sub>11-nm</sub>の第11ビット目  
DB10<sub>11-nm</sub>: 変換画素データHD<sub>11-nm</sub>の第10ビット目  
DB9<sub>11-nm</sub>: 変換画素データHD<sub>11-nm</sub>の第9ビット目  
DB8<sub>11-nm</sub>: 変換画素データHD<sub>11-nm</sub>の第8ビット目  
DB7<sub>11-nm</sub>: 変換画素データHD<sub>11-nm</sub>の第7ビット目  
DB6<sub>11-nm</sub>: 変換画素データHD<sub>11-nm</sub>の第6ビット目  
DB5<sub>11-nm</sub>: 変換画素データHD<sub>11-nm</sub>の第5ビット目  
DB4<sub>11-nm</sub>: 変換画素データHD<sub>11-nm</sub>の第4ビット目  
DB3<sub>11-nm</sub>: 変換画素データHD<sub>11-nm</sub>の第3ビット目

DB<sub>2,11-nm</sub>: 変換画素データHD<sub>11-nm</sub>の第2ビット目  
DB<sub>1,11-nm</sub>: 変換画素データHD<sub>11-nm</sub>の第1ビット目  
として捉え、駆動制御回路2から供給された読出信号に  
応じて、これら画素駆動データビットDB<sub>14,11-nm</sub>、DB<sub>13,11-nm</sub>、 $\dots$ 、DB<sub>2,11-nm</sub>、DB<sub>1,11-nm</sub>各々を1  
行分毎に順次読み出してアドレスドライバ6に供給す  
る。

【0014】駆動制御回路2は、上記入力映像信号中の  
水平及び垂直同期信号に同期して、上記A/D変換器1  
に対するクロック信号及びメモリ4に対する書込及び読  
出信号を発生する。更に、駆動制御回路2は、図3に示  
されるが如き発光駆動フォーマットに従ってPDP10  
を駆動制御すべきタイミング信号を、アドレスドライバ  
6、第1サスティンドライバ7及び第2サスティンドラ  
イバ8各々に供給する。

【0015】尚、図3に示される発光駆動フォーマット  
では、1フィールドの表示期間を14個のサブフィール  
ドSF1～SF14に分割してPDP10に対する発光  
駆動を行う。各サブフィールド内では、PDP10の各  
放電セルに対して画素データの書き込みを行って“発光  
セル”及び“非発光セル”の設定を行う画素データ書込行程  
Wcと、上記“発光セル”のみを図3に示される回数(期  
間)分だけ発光せしめることにより、その発光状態を維  
持させる発光維持行程Icとを実施する。ここで、各サ  
ブフィールドの発光維持行程Icにおいて実行する発光  
回数の比は、サブフィールドSF1の発光維持行程Ic  
において実行する発光回数を“1”とした場合、

SF14: 39

SF13: 35

SF12: 32

SF11: 28

SF10: 25

SF9: 22

SF8: 19

SF7: 16

SF6: 13

SF5: 10

SF4: 8

SF3: 5

SF2: 3

SF1: 1

となる。

【0016】この際、各サブフィールドSF1～SF14  
で実行すべき発光回数の比を非線形、すなわち、逆ガ  
ンマ比率、 $Y=X^{2.2}$ にすることにより、上述した如く  
入力画素データDに施されているガンマ補正処理を解除  
するようにしている。又、図3に示される発光駆動フォ  
ーマットでは、先頭のサブフィールドSF14のみで、  
PDP10の全放電セル内の壁電荷量を初期化せしめる  
一斉リセット行程Rcを実行し、最後尾のサブフィール

ドSF1のみで、全放電セル内の壁電荷を一斉に消去す  
る消去行程Eを実行する。

【0017】アドレスドライバ6、第1サスティンドラ  
イバ7及び第2サスティンドライバ8各々は、かかる図  
3に示される発光駆動フォーマットに従ってPDP10  
を駆動すべく、駆動制御回路2から供給されたタイミン  
グ信号に応じて各種の駆動パルスを発生し、これらをP  
DP10の列電極D<sub>1</sub>～D<sub>m</sub>、行電極X<sub>1</sub>～X<sub>n</sub>及びY<sub>1</sub>～  
Y<sub>n</sub>に印加する。

【0018】図4は、アドレスドライバ6、第1サステ  
ィンドライバ7及び第2サスティンドライバ8各々によ  
ってPDP10の列電極D<sub>1</sub>～D<sub>m</sub>、行電極X<sub>1</sub>～X<sub>n</sub>及び  
Y<sub>1</sub>～Y<sub>n</sub>に印加される各種駆動パルスの印加タイミン  
グを示す図である。図4に示されるように、先ず、1フ  
ィールド表示期間の先頭のサブフィールドSF14におい  
てのみで実行する一斉リセット行程Rcでは、第1サス  
ティンドライバ7及び第2サスティンドライバ8は、P  
DP10の行電極X及びYに夫々リセットパルスRP<sub>x</sub>  
及びRP<sub>y</sub>を同時に印加する。これにより、PDP10  
中の全ての放電セルをリセット放電せしめ、各放電セル  
内に強制的に壁電荷を形成させる(R<sub>1</sub>)。その直後  
に、第1サスティンドライバ7は、消去パルスEPをP  
DP10の行電極X<sub>1</sub>～X<sub>n</sub>に一斉に印加することによ  
り、全放電セル内に形成された上記壁電荷を消去させる  
消去放電を生起せしめる(R<sub>2</sub>)。従って、上記一斉リ  
セット行程Rcの実行によれば、PDP10における全  
ての放電セルは壁電荷を保有しない“非発光セル”の状  
態に初期化されるのである。

【0019】次に、各サブフィールドで実行される画素  
データ書込行程Wcでは、アドレスドライバ6は、メモ  
リ4から供給された画素駆動データビットDBの論理レ  
ベルに応じた電圧を有する画素データパルスを生成し、  
これを1行分毎に順次列電極D<sub>1-nm</sub>に印加して行く。例  
えば、サブフィールドSF14における画素データ書込  
行程Wcでは、アドレスドライバ6は、画素駆動データ  
ビットDB<sub>14,11-nm</sub>各々の論理レベルに応じた電圧を有  
する画素データパルスを生成し、これを1行分毎に順次  
列電極D<sub>1-nm</sub>に印加して行く。つまり、図4に示される  
ように、先ず、上記DB<sub>14,11-nm</sub>の内の第1行目に対応  
したm個の画素データパルスからなる画素データパルス  
群DP14<sub>1</sub>を列電極D<sub>1-nm</sub>に印加し、次に、第2行目に対  
応したm個の画素データパルスからなる画素データパル  
ス群DP14<sub>2</sub>を列電極D<sub>1-nm</sub>に同時印加する。以下、同様  
にして、1行分毎の画素データパルス群DP14<sub>3</sub>～DP1  
4<sub>n</sub>各々を順次列電極D<sub>1-nm</sub>に印加して行くのである。第  
2サスティンドライバ8は、これら画素データパルス群  
DP各々の印加タイミングと同一タイミングにて負極性  
の走査パルスSPを発生し、これを図4に示されるが如  
く、行電極Y<sub>1</sub>～Y<sub>n</sub>へと順次印加して行く。この際、走  
査パルスSPが印加された“行”と、高電圧の画素データ

パルスが印加された“列”との交差部の放電セルにのみ放電（選択書込放電）が生じ、その放電セル内に壁電荷が形成される。よって、上記一斉リセット行程Rcで“非発光セル”の状態に初期化された放電セルは、“発光セル”に推移する。尚、低電圧の画素データパルスが印加された“列”に形成されている放電セルでは、例えば走査パルスSPが印加されても上述のような選択書込放電は生じられないので、現時点の状態を保持する。すなわち、“発光セル”の状態にある放電セルは“発光セル”の状態を保持し、“非発光セル”の状態にある放電セルは“非発光セル”の状態を保持するのである。

【0020】ここで、本発明においては、各サブフィールドの画素データ書込行程Wcにおいて印加する走査パルスSPのパルス幅を、1フィールド期間中の後方のサブフィールドほど長くしてあり、それに伴い、この走査パルスSPの印加周期も後方のサブフィールドほど長くしてある。その理由については後述する。次に、各サブフィールドで実行される発光維持行程Icでは、第1サスティンドライバ7及び第2サスティンドライバ8各々が、図4に示されるが如き正極性の維持パルス $IP_x$ 及び $IP_y$ を行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に対して交互に印加する。ここで、各サブフィールドの発光維持行程Icにおいて印加する維持パルスIPの回数は、

SF14: 39

SF13: 35

SF12: 32

SF11: 28

SF10: 25

SF9: 22

SF8: 19

SF7: 16

SF6: 13

SF5: 10

SF4: 8

SF3: 5

SF2: 3

SF1: 1

である。

【0021】上述した如き維持パルスIPの印加により、壁電荷を保有している放電セル、すなわち“発光セル”のみが、これら維持パルス $IP_x$ 及び $IP_y$ が印加される度に維持放電し、上記回数(期間)分だけ発光を繰り返してその発光状態を維持する。よって、サブフィールドSF1の発光維持行程Icによれば、入力映像信号における低輝度成分に対する発光表示が為され、一方、サブフィールドSF14の発光維持行程Icによれば、高輝度成分に対する発光表示が為されるのである。

【0022】この際、維持パルス $IP_x$ 及び $IP_y$ 各々のパルス幅を、上述した如き発光回数の割り当てが少ないサブフィールドほど長くしている。例えば、最も発光回

数の割り当てが少ないサブフィールドSF1での維持パルス $IP_x$ 及び $IP_y$ のパルス幅 $W_{S1}$ 、SF2でのパルス幅 $W_{S2}$ 、……、SF13でのパルス幅 $W_{S13}$ 、及び最も発光回数の割り当てが多いサブフィールドSF14での維持パルス $IP_x$ 及び $IP_y$ のパルス幅 $W_{S14}$ 各々は、 $W_{S1} > W_{S2} > \dots > W_{S13} > W_{S14}$ なる関係となる。

【0023】このように、発光回数の割り当てが少ないサブフィールドにおいて、維持パルス $IP_x$ 及び $IP_y$ のパルス幅を長くする理由は以下の如きである。発光回数の割り当てが少ない、すなわち維持放電の回数が少ないと、放電セル内に形成されるブライミング粒子の量が微量となる為、正極性の維持パルスIPが印加されてから維持放電が生じられるまでの遅延時間がより長くなる。この際、維持放電が生じられた後も、所定期間に亘って正極性の維持パルスIPを印加しつづけておかないと放電セル内の壁電荷を良好に保持することが出来ない。

【0024】そこで、発光回数の割り当てが少ないサブフィールドでは、上述した如き遅延時間の増大を考慮した分だけ、発光回数の割り当てが多いサブフィールドでの維持パルスIPよりも、そのパルス幅を長くしたのである。尚、これら維持パルス $IP_x$ 及び $IP_y$ 各々のパルス幅の伸張に伴い、発光回数の割り当てが少ないサブフィールドでは、両維持パルス間での印加周期を長くしている。

【0025】例えば、最も発光回数の割り当てが少ないサブフィールドSF1での維持パルス $IP_x$ 及び $IP_y$ 間の印加周期 $T_{S1}$ 、SF2での印加周期 $T_{S2}$ 、……、SF13での印加周期 $T_{S13}$ 、及び最も発光回数の割り当てが多いサブフィールドSF14での維持パルス $IP_x$ 及び $IP_y$ 間の印加周期 $T_{S14}$ 各々が、

$T_{S1} > T_{S2} > \dots > T_{S13} > T_{S14}$

となるようにしている。

【0026】最後に、図4に示されるが如き1フィールドの最後尾のサブフィールドSF1においてのみで実施される消去行程Eでは、第2サスティンドライバ8が、消去パルスEPを発生してこれを行電極 $Y_1 \sim Y_n$ 各々に印加する。かかる消去パルスEPの印加に応じて、PDP10における全放電セル内において消去放電が生じられ、全ての放電セル内に残存している壁電荷が消滅する。すなわち、かかる消去放電により、PDP10における全ての放電セルが“非発光セル”になるのである。

【0027】以上の如き動作により、図2のプラズマディスプレイ装置では、図5に示されるが如き15段階の発光駆動の内から、入力映像信号に応じた1つを選択的に実行する。尚、図5中における黒丸は、そのサブフィールドでの画素データ書込行程Wcにおいて選択書込放電を生起させることを示す。更に、この黒丸並びに白丸は、そのサブフィールドでの発光維持行程Icにおいて維持放電に伴う発光が生じることを示す。

【0028】 によって、これら15段階の発光駆動によれば、

【0 : 1 : 2 : 3 : 4 : 6 : 9 : 13 : 19 : 29 : 44 : 68 : 106 : 165 : 256】

なる15段階にて、入力映像信号に対応した中間調の輝度表示を実現出来るのである。ところが、上記入力映像信号に基づいて得られた画素データDは、8ビット、すなわち、256段階の中間調を表現しているものである。そこで、上記15段階の階調駆動によっても擬似的に256段階の中間調表示を実施させるべく、図2に示されるデータ変換回路3によってデータ変換が為されているのである。

【0029】 図6は、かかるデータ変換回路3の内部構成を示す図である。図6において、ABL(自動輝度制御)回路31は、PDP10の画面上に表示される画像の平均輝度が所定の輝度範囲内に収まるように、A/D変換器1から順次供給されてくる各画素毎の画素データDに対して輝度レベルの調整を行い、この際得られた輝度調整画素データD<sub>BL</sub>を第1データ変換回路32に供給する。この輝度レベル調整は、上述の如き発光回数比を非線形に設定して逆ガンマ補正を行う前に行われる。つまり、ABL回路31は、画素データDに逆ガンマ補正を施して得られた逆ガンマ変換画素データの平均輝度に応じて、上記画素データDの輝度レベルを自動調整する。これにより、輝度調整による表示品質の劣化を防止するのである。

【0030】 図7は、かかるABL回路31の内部構成を示す図である。図7において、レベル調整回路310は、後述する平均輝度検出回路311によって求められた平均輝度に応じて画素データDのレベルを調整して得られた輝度調整画素データD<sub>BL</sub>を出力する。データ変換回路312は、かかる輝度調整画素データD<sub>BL</sub>を図8に示されるが如き非線形特性からなる逆ガンマ特性( $Y=X^{2.2}$ )に変換したものを逆ガンマ変換画素データD<sub>r</sub>として平均輝度レベル検出回路311に供給する。すなわち、輝度調整画素データD<sub>BL</sub>に逆ガンマ補正処理を施すことにより、ガンマ補正の解除された元の映像信号に対応した画素データ(逆ガンマ変換画素データD<sub>r</sub>)を復元するのである。平均輝度検出回路311は、かかる逆ガンマ変換画素データD<sub>r</sub>の平均輝度を求め、これを上記レベル調整回路310に供給する。更に、平均輝度検出回路311は、例えば図9に示されるが如き輝度モード1~4の中から、上記平均輝度に応じた平均輝度にてPDP10を発光駆動し得る輝度モードを選択し、この選択した輝度モードを示す輝度モード信号LCを駆動制御回路2に供給する。ここで、駆動制御回路2は、この図9に示されるが如き輝度モード信号LCにしたがって、図3に示されるが如きサブフィールドSF14~SF1各々の維持発光行程Icにおいて維持放電すべき回数を設定する。

【0031】 図6に示される第1データ変換回路32

は、上記ABL回路31から供給された8ビットの輝度調整画素データD<sub>BL</sub>を図10に示されるが如き変換特性に基づいて $14 \times 16 / 255 (= 224 / 255)$ にした8ビット(0~224)の変換画素データHD<sub>p</sub>に変換して、これを多階調化処理回路33に供給する。具体的には、8ビット(0~255)の輝度調整画素データD<sub>BL</sub>は、この変換特性に基づく図11及び図12に示される変換テーブルに従って変換される。すなわち、この変換特性は、輝度調整画素データD<sub>BL</sub>のビット数、後述する多階調化処理による圧縮ビット数、及び表示階調数に応じて設定される。以上の如く、多階調化処理の前段に、第1データ変換回路32を設けて、表示階調数及び多階調化による圧縮ビット数に合わせた変換を行うことにより、輝度調整画素データD<sub>BL</sub>を上位ビット群(多階調化画素データに対応)と下位ビット群(切り捨てられるデータ：誤差データ)とをビット境界で切り分け、この信号に基づいて多階調化処理を行う。上述した如き第1データ変換回路32によるデータ変換により、後段の多階調化処理による輝度飽和の発生及び表示階調がビット境界にない場合に生じる表示特性の平坦部の発生(すなわち、階調歪みの発生)を防止するのである。

【0032】 図13は、多階調化処理回路33の内部構成を示す図である。図13に示されるように、多階調化処理回路33は、誤差拡散処理回路330及びディザ処理回路350から構成される。誤差拡散処理回路330におけるデータ分離回路331は、第1データ変換回路32から供給された8ビットの変換画素データHD<sub>p</sub>中の下位2ビット分を誤差データ、上位6ビット分を表示データとして分離する。加算器332は、かかる誤差データとしての変換画素データHD<sub>p</sub>中の下位2ビット分と、遅延回路334からの遅延出力と、係数乗算器335の乗算出力とを加算して得た加算値を遅延回路336に供給する。遅延回路336は、加算器332から供給された加算値を、画素データのクロック周期と同一の時間を有する遅延時間Dだけ遅らせた信号を遅延加算信号AD<sub>1</sub>として上記係数乗算器335及び遅延回路337に夫々供給する。係数乗算器335は、上記遅延加算信号AD<sub>1</sub>に所定係数値K<sub>1</sub>(例えば、“7/16”)を乗算して得られた乗算結果を上記加算器332に供給する。遅延回路337は、上記遅延加算信号AD<sub>1</sub>を更に(1水平走査期間-上記遅延時間D×4)なる時間だけ遅延させたものを遅延加算信号AD<sub>2</sub>として遅延回路338に供給する。遅延回路338は、かかる遅延加算信号AD<sub>2</sub>を更に上記遅延時間Dだけ遅延させたものを遅延加算信号AD<sub>3</sub>として係数乗算器339に供給する。又、遅延回路338は、かかる遅延加算信号AD<sub>2</sub>を更に上記遅延時間D×2なる時間分だけ遅延させたものを遅延加算信号AD<sub>4</sub>として係数乗算器340に供給する。更に、遅延回路338は、かかる遅延加算信号AD<sub>2</sub>を更に上記遅



延時間 $D \times 3$ なる時間分だけ遅延させたものを遅延加算信号 $AD_5$ として係数乗算器341に供給する。係数乗算器339は、上記遅延加算信号 $AD_3$ に所定係数値 $K_2$ (例えば、“3/16”)を乗算して得られた乗算結果を加算器342に供給する。係数乗算器340は、上記遅延加算信号 $AD_4$ に所定係数値 $K_3$ (例えば、“5/16”)を乗算して得られた乗算結果を加算器342に供給する。係数乗算器341は、上記遅延加算信号 $AD_5$ に所定係数値 $K_4$ (例えば、“1/16”)を乗算して得られた乗算結果を加算器342に供給する。加算器342は、上記係数乗算器339、340及び341各々から供給された乗算結果を加算して得られた加算信号を上記遅延回路334に供給する。遅延回路334は、かかる加算信号を上記遅延時間 $D$ なる時間分だけ遅延させて上記加算器332に供給する。加算器332は、上記変換画素データ $HD_p$ 中の下位2ビット分と、遅延回路334からの遅延出力と、係数乗算器335の乗算出力とを加算した際に桁上げがない場合には論理レベル“0”、桁上げがある場合には論理レベル“1”のキャリアウト信号 $C_0$ を発生してこれを加算器333に供給する。加算器333は、上記変換画素データ $HD_p$ 中の上位6ビット分からなる表示データに、上記キャリアウト信号 $C_0$ を加算したものを6ビットの上記誤差拡散処理画素データ $ED$ として出力する。つまり、誤差拡散処理画素データ $ED$ のビット数は、上記変換画素データ $HD_p$ よりも小となるのである。

【0033】以下に、上記誤差拡散処理回路330の動作について説明する。例えば、図14に示されるが如き $PDP10$ の画素 $G(j, k)$ に対応した誤差拡散処理画素データ $ED$ を求める場合、先ず、かかる画素 $G(j, k)$ の左横の画素 $G(j, k-1)$ 、左斜め上の画素 $G(j-1, k-1)$ 、真上の画素 $G(j-1, k)$ 、及び右斜め上の画素 $G(j-1, k+1)$ 各々に対応した誤差データ、すなわち、  
画素 $G(j, k-1)$ に対応した誤差データ：遅延加算信号 $AD_1$   
画素 $G(j-1, k+1)$ に対応した誤差データ：遅延加算信号 $AD_3$   
画素 $G(j-1, k)$ に対応した誤差データ：遅延加算信号 $AD_4$   
画素 $G(j-1, k-1)$ に対応した誤差データ：遅延加算信号 $AD_5$   
各々を、上述した如き所定の係数値 $K_1 \sim K_4$ をもって重み付け加算する。次に、この加算結果に、変換画素データ $HD_p$ の下位2ビット分、すなわち画素 $G(j, k)$ に対応した誤差データを加算し、この際得られた1ビット分のキャリアウト信号 $C_0$ を変換画素データ $HD_p$ 中の上位6ビット分、すなわち画素 $G(j, k)$ に対応した表示データに加算したものを誤差拡散処理画素データ $ED$ とする。  
【0034】かかる構成により、誤差拡散処理回路330では、変換画素データ $HD_p$ 中の上位6ビット分を表

示データ、残りの下位2ビット分を誤差データとして捉え、周辺画素 $\{G(j, k-1), G(j-1, k+1), G(j-1, k), G(j-1, k-1)\}$ 各々での誤差データを重み付け加算したものを、上記表示データに反映させるようにしている。かかる動作により、原画素 $\{G(j, k)\}$ における下位2ビット分の輝度が上記周辺画素により擬似的に表現され、それ故に8ビットよりも少ないビット数、すなわち6ビット分の表示データにて、上記8ビット分の画素データと同等の輝度階調表現が可能になるのである。

【0035】尚、この誤差拡散の係数値が各画素に対して一定に加算されていると、誤差拡散パターンによるノイズが視覚的に確認される場合があり画質を損なってしまう。そこで、後述するディザ係数の場合と同様に4つの画素各々に割り当てるべき誤差拡散の係数 $K_1 \sim K_4$ を1フィールド毎に変更するようにしても良い。ディザ処理回路350は、かかる誤差拡散処理回路330から供給された6ビットの誤差拡散処理画素データ $ED$ にディザ処理を施すことにより、誤差拡散処理画素データ $ED$ と同等な輝度階調レベルを維持しつつもビット数を4ビットに減らした多階調化処理画素データ $D_s$ を生成する。尚、かかるディザ処理では、隣接する複数個の画素により1つの中間表示レベルを表現するものである。例えば、8ビットの画素データの内の上位6ビットの画素データを用いて8ビット相当の階調表示を行う場合、左右、上下に互いに隣接する4つの画素を1組とし、この1組の各画素に対応した画素データ各々に、互いに異なる係数値からなる4つのディザ係数 $a \sim d$ を夫々割り当てて加算する。かかるディザ処理によれば、4画素で4つの異なる中間表示レベルの組み合わせが発生することになる。よって、例え画素データのビット数が6ビットであっても、表現出来る輝度階調レベルは4倍、すなわち、8ビット相当の中間調表示が可能となるのである。

【0036】しかしながら、ディザ係数 $a \sim d$ なるディザパターンが各画素に対して一定に加算されていると、このディザパターンによるノイズが視覚的に確認される場合があり画質を損なってしまう。そこで、ディザ処理回路350においては、4つの画素各々に割り当てるべき上記ディザ係数 $a \sim d$ を1フィールド毎に変更するようにしている。

【0037】図15は、かかるディザ処理回路350の内部構成を示す図である。図15において、ディザ係数発生回路352は、互いに隣接する4つの画素毎に4つのディザ係数 $a, b, c, d$ を発生してこれらを順次加算器351に供給する。例えば、図16に示されるが如き、第 $j$ 行に対応した画素 $G(j, k)$ 及び画素 $G(j, k+1)$ 、第 $(j+1)$ 行に対応した画素 $G(j+1, k)$ 及び画素 $G(j+1, k+1)$ なる4つの画素各々に対して4つのディザ係数 $a, b, c, d$ を夫々発生する。この際、ディザ係数発生回路352は、これら4つの画素各々に割り当てるべき上記ディザ係数 $a \sim d$ を図16に示されるように1フィー

ルド毎に変更して行く。

【0038】すなわち、最初の第1フィールドにおいては、

画素G(j, k) : ディザ係数 a  
画素G(j, k+1) : ディザ係数 b  
画素G(j+1, k) : ディザ係数 c  
画素G(j+1, k+1) : ディザ係数 d

次の第2フィールドにおいては、

画素G(j, k) : ディザ係数 b  
画素G(j, k+1) : ディザ係数 a  
画素G(j+1, k) : ディザ係数 d  
画素G(j+1, k+1) : ディザ係数 c

次の第3フィールドにおいては、

画素G(j, k) : ディザ係数 d  
画素G(j, k+1) : ディザ係数 c  
画素G(j+1, k) : ディザ係数 b  
画素G(j+1, k+1) : ディザ係数 a

そして、第4フィールドにおいては、

画素G(j, k) : ディザ係数 c  
画素G(j, k+1) : ディザ係数 d  
画素G(j+1, k) : ディザ係数 a  
画素G(j+1, k+1) : ディザ係数 b

の如き割り当てにて、ディザ係数a～dを循環して繰り返し発生し、これを加算器351に供給する。ディザ係数発生回路352は、上述した如き第1フィールド～第4フィールドの動作を繰り返し実行する。すなわち、かかる第4フィールドでのディザ係数発生動作が終了したら、再び、上記第1フィールドの動作に戻って、前述した動作を繰り返すのである。

【0039】加算器351は、上記誤差拡散処理回路330から供給されてくる上記画素G(j, k)、画素G(j, k+1)、画素G(j+1, k)、及び画素G(j+1, k+1)各々に対応した誤差拡散処理画素データED各々に、上述の如く各フィールド毎に割り当てられたディザ係数a～dを夫々加算し、この際得られたディザ加算画素データを上位ビット抽出回路353に供給する。

【0040】例えば、図16に示される第1フィールドにおいては、

画素G(j, k)に対応した誤差拡散処理画素データED+ディザ係数a、

画素G(j, k+1)に対応した誤差拡散処理画素データED+ディザ係数b、

画素G(j+1, k)に対応した誤差拡散処理画素データED+ディザ係数c、

画素G(j+1, k+1)に対応した誤差拡散処理画素データED+ディザ係数d

の各々をディザ加算画素データとして上位ビット抽出回路353に順次供給して行くのである。

【0041】上位ビット抽出回路353は、かかるディザ加算画素データの上位4ビット分までを抽出し、これ

を多階調化画素データD<sub>S</sub>として図6に示される第2データ変換回路34に供給する。従って、多階調化画素データD<sub>S</sub>として取り得る値は、図17に示されるが如き“0000”～“1110”の15種類となる。第2データ変換回路34は、かかる4ビットの多階調化画素データD<sub>S</sub>を図17に示される如き変換テーブルに従って、14ビットの変換画素データHDに変換する。

【0042】ここで、かかる変換画素データHD中に記述されている論理レベル“1”は、そのビット桁に対応したサブフィールドの画素データ書込行程Wcで選択書込放電を実施させることを示している。すなわち、アドレスドライバ6が、変換画素データHD中における論理レベル“1”のビット桁に対応したサブフィールドの画素データ書込行程Wcにおいてのみで高電圧の画素データパルスをPDP10の列電極Dに印加するので、図17の黒丸に示されるサブフィールドのみで選択書込放電が生起されるのである。

【0043】この際、図17に示されるが如き15種類の変換画素データHD各々において、論理レベル“1”となるビット桁は、最高でも1つ(14ビット中において)である。すなわち、1フィールド表示期間中には、サブフィールドSF14～SF1各々により画素データ書込行程Wcが14回分実施されるが、その中で実際に選択書込放電を生起させるのは、最高でも1回にしているのである。従って、先頭のサブフィールドSF14からこの選択書込放電が実施されまでの間に存在するサブフィールド各々の発光維持行程Icでは維持放電が生起されず、放電セルは非発光の状態にある。ところが、この選択書込放電が実施されたサブフィールド、及びそれ以降に存在するサブフィールド各々の発光維持行程Icでは維持放電が生起され、図17の白丸に示されるように、その発光状態が1フィールドの最後まで継続する。すなわち、1フィールド期間内において、放電セルが発光状態から非発光状態へと推移するような発光パターンを禁止したのである。これにより、図1に示されるが如き、放電セルが発光状態にある期間と、非発光状態にある期間とが互いに反転するような発光パターンが無くなるので、偽輪郭の発生が抑制されるようになる。

【0044】又、画像表示に関与していないにも拘わらず強い発光を伴うリセット放電を図3及び図4に示されるように1フィールド期間内において1回だけ実施しておけば良いので、コントラストの低下を抑えることが出来る。又、上述した如く、1フィールド期間内において生起される選択書込放電は、図17の黒丸にて示されるように最高でも1回なので、消費電力を抑えられる。

【0045】更に、本発明においては、上述した如く、各サブフィールドの画素データ書込行程Wcにおいて印加する走査パルスSP及び画素データパルスDP各々のパルス幅を、1フィールド期間中の後方のサブフィールドほど長くしている。例えば、図4に示されるように、

1フィールドの最後尾のサブフィールドSF1での走査パルスSPのパルス幅 $W_{a1}$ 、SF2でのパルス幅 $W_{a2}$ 、 $\dots$ 、SF13でのパルス幅 $W_{a13}$ 、及びSF14でのパルス幅 $W_{a14}$ 各々は、 $W_{a1} > W_{a2} > W_{a3} > \dots > W_{a13} > W_{a14}$ となっている。

【0046】又、それに伴いかかる走査パルスSPの印加周期も、後方のサブフィールドほど長くしてある。例えば、1フィールドの最後尾のサブフィールドSF1での走査パルスSPの印加周期 $T_{a1}$ 、SF2での印加周期 $T_{a2}$ 、 $\dots$ 、SF13での印加周期 $T_{a13}$ 、及びSF14での印加周期 $T_{a14}$ 各々は、 $T_{a1} > T_{a2} > T_{a3} > \dots > T_{a13} > T_{a14}$ となっている。

【0047】この際、1フィールドの後方のサブフィールドほど、走査パルスSPのパルス幅 $W_a$ を長くする理由は、以下の如きである。図17に示されるが如き15種類の階調駆動の内、低輝度な画像表示を行う階調駆動、例えば、第2階調駆動では、先頭のサブフィールドSF14においてリセット放電が生起してからサブフィールドSF2までの間、放電セル内では放電が生起されない。よって、上記リセット放電によって放電セル内に形成されたブライミング粒子は、時間経過と共に減少して行き、サブフィールドSF1での画素データ書込行程 $W_c$ の実行時点では微量となってしまう。ここで、かかる画素データ書込行程 $W_c$ の実行時点において、ブライミング粒子の量が充分にあれば、高電圧の画素データパルスDP及び走査パルスSPの同時印加に応じて、直ちに選択書込放電が生起されるが、ブライミング粒子の量が少ないと、選択書込放電が生起されるまでに遅延が生じる。更に、この選択書込放電が生起された後も、所定期間に亘って高電圧の画素データパルスDP及び走査パルスSPを印加しつづけておこないと放電セル内に壁電荷を形成させることが出来ない。

【0048】そこで、本発明においては、1フィールド期間中の後方のサブフィールドでは、先頭のサブフィールドに比して上述した如き遅延時間を考慮した分だけ画素データパルスDP及び走査パルスSPのパルス幅を長くすることにより、画素データ書込動作の安定化を図るようにしたのである。尚、上記実施例においては、1フィールドの最後尾のサブフィールドSF1での走査パルスSPのパルス幅 $W_{a1}$ 、SF2でのパルス幅 $W_{a2}$ 、 $\dots$ 、SF13でのパルス幅 $W_{a13}$ 、及びSF14でのパルス幅 $W_{a14}$ 各々を、 $W_{a1} > W_{a2} > \dots > W_{a13} > W_{a14}$ なる関係とし、それに伴い1フィールドの最後尾のサブフィールドSF1での走査パルスSPの印加周期 $T_{a1}$ 、SF2での印加周期 $T_{a2}$ 、 $\dots$ 、SF13での印加周期 $T_{a13}$ 、及びSF14での印加周期 $T_{a14}$ 各々を、 $T_{a1} > T_{a2} > \dots > T_{a13} > T_{a14}$

としているが、必ずしも、各サブフィールド毎に、走査パルスSPのパルス幅及び印加周期を異ならせる必要はない。

【0049】例えば、各サブフィールド毎の走査パルスSPのパルス幅 $W_a$ 及び印加周期 $T_a$ を $W_{a1} = W_{a2} = W_{a3} = W_{a4} = W_{a5} > W_{a6} = W_{a7} = W_{a8} = W_{a9} = W_{a10} = W_{a11} = W_{a12} = W_{a13} = W_{a14}$   
 $T_{a1} = T_{a2} = T_{a3} = T_{a4} = T_{a5} > T_{a6} = T_{a7} = T_{a8} = T_{a9} = T_{a10} = T_{a11} = T_{a12} = T_{a13} = T_{a14}$ とし、これと同様に、各サブフィールド毎の維持パルス $IP_x$ 及び $IP_y$ 間の印加周期 $T_s$ 及び夫々のパルス幅 $W_s$ も、 $W_{s1} = W_{s2} = W_{s3} = W_{s4} = W_{s5} > W_{s6} = W_{s7} = W_{s8} = W_{s9} = W_{s10} = W_{s11} = W_{s12} = W_{s13} = W_{s14}$   
 $T_{s1} = T_{s2} = T_{s3} = T_{s4} = T_{s5} > T_{s6} = T_{s7} = T_{s8} = T_{s9} = T_{s10} = T_{s11} = T_{s12} = T_{s13} = T_{s14}$ なる関係としても良い。

【0050】又、上記実施例においては、サブフィールドSF1～SF14の内のいずれか1の画素データ書込行程 $W_c$ で選択書込放電を生起させるようにしているが、放電セル内に残留するブライミング粒子の量が少ないと、例え走査パルスSP及び高電圧の画素データパルスが同時に印加されても選択書込放電が正常に生起されない場合がある。

【0051】そこで、図17に示される発光駆動パターンに代わり、図18に示されるが如き発光駆動パターンを採用することにより、選択書込放電を確実に生起させるようにしても良い。図18に示される発光駆動では、互いに連続した2つのサブフィールド各々の画素データ書込行程 $W_c$ にて、連続して第1及び第2の選択書込放電を生起させるようにしている(黒丸にて示す)。かかる動作によれば、例え、第1の選択書込放電が良好に為されなくても、この放電によってブライミング粒子が形成されるので、第2の選択書込放電は正常に為されるようになる。要するに、第1の選択書込放電を実施した後、そのサブフィールドより後のサブフィールドの内の少なくとも1において、再び第2の選択書込放電を実施することにより、選択書込放電を確実に生起させるのである。

【0052】

【発明の効果】以上詳述した如く、本発明においては、1フィールド期間の先頭のサブフィールドにおいてのみでプラズマディスプレイパネルの全放電セルを非発光セルの状態に初期化すべくリセット放電せしめ、画素データに応じた1のサブフィールドにおいて上記非発光セルを発光セルの状態に推移させるべく選択書込放電を生起せしめる。この際、かかる選択書込放電を生起させるべく印加する走査パルスのパルス幅を、1フィールド期間中の後方のサブフィールドほど長くする。

【0053】よって、本発明によるプラズマディスプレ

イパネルの駆動方法によれば、安定した動作にて偽輪郭の抑制、低消費電力化、並びに高コントラスト化を実現出来るようになる。

【図面の簡単な説明】

【図１】サブフィールド法による発光駆動フォーマットの一例を示す図である。

【図２】本発明による駆動方法に基づいてPDP10を発光駆動するプラズマディスプレイ装置の概略構成を示す図である。

【図３】本発明による駆動方法に基づく発光駆動フォーマットを示す図である。

【図４】１フィールドにおいてPDP10に印加される各種駆動パルスの印加タイミングを示す図である。

【図５】図３に示される発光駆動フォーマットに基づいて実施される発光駆動の全パターンを示す図である。

【図６】データ変換回路３の内部構成を示す図である。

【図７】ABL回路３１の内部構成を示す図である。

【図８】データ変換回路３１２における変換特性を示す図である。

【図９】輝度モードと各サブフィールドの発光維持行程にて実施される発光回数の比との対応関係を示す図である。

【図１０】第１データ変換回路３２における変換特性を示す図である。

【図１１】第１データ変換回路３２における変換テーブルの一例を示す図である。

【図１２】第１データ変換回路３２における変換テーブルの一例を示す図である。

【図１３】多階調化処理回路３３の内部構成を示す図である。

【図１４】誤差拡散処理回路３３０の動作を説明する為の図である。

【図１５】ディザ処理回路３５０の内部構成を示す図である。

【図１６】ディザ処理回路３５０の動作を説明する為の図である。

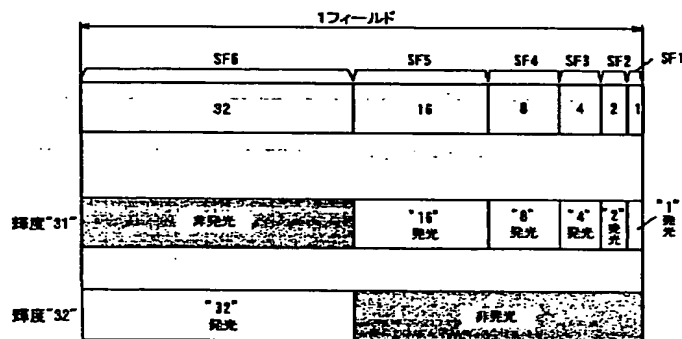
【図１７】図３に示される発光駆動フォーマットに基づいて実施される発光駆動の全パターン、及びこの発光駆動を実施する際に第２データ変換回路３４で用いられる変換テーブルの一例を示す図である。

【図１８】図６に示される発光駆動フォーマットに基づいて実施される発光駆動の全パターン、及びこの発光駆動を実施する際に第２データ変換回路３４で用いられる変換テーブルの他の一例を示す図である。

【主要部分の符号の説明】

- ２ 駆動制御回路
- ３ データ変換回路
- ６ アドレスドライバ
- ７ 第１サスティンドライバ
- ８ 第２サスティンドライバ
- １０ PDP

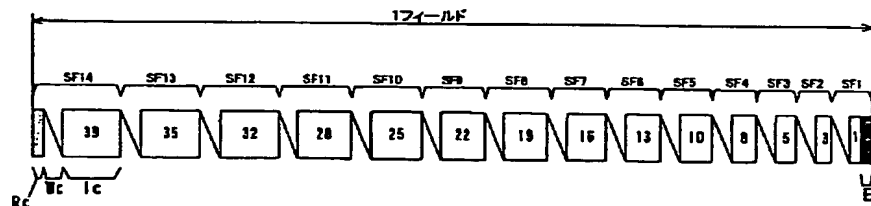
【図１】



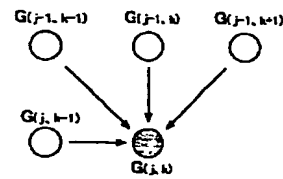
【図８】



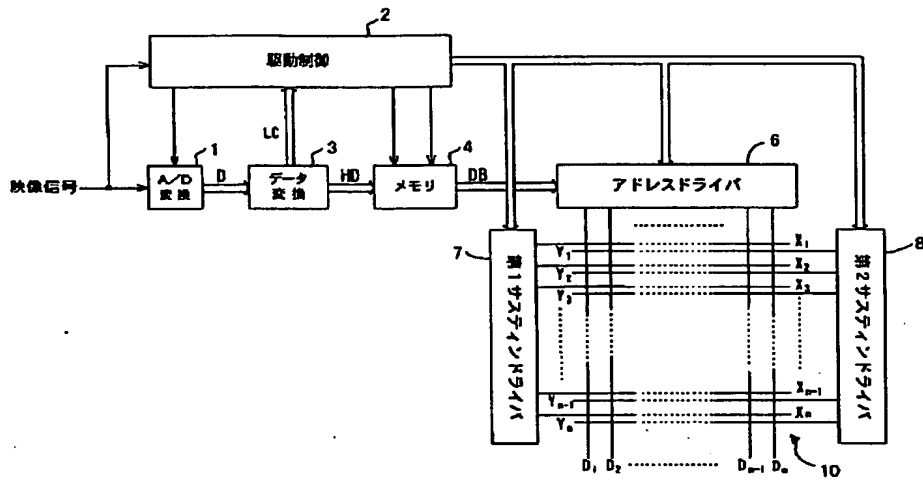
【図３】



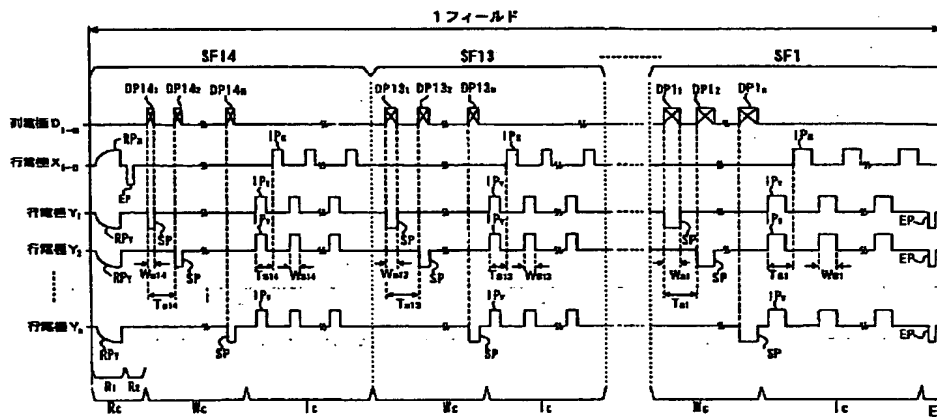
【図１４】



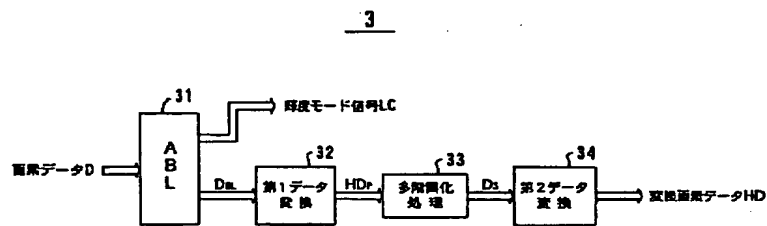
【図2】



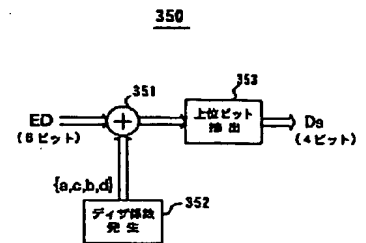
【図4】



【図6】



【図15】



【図5】

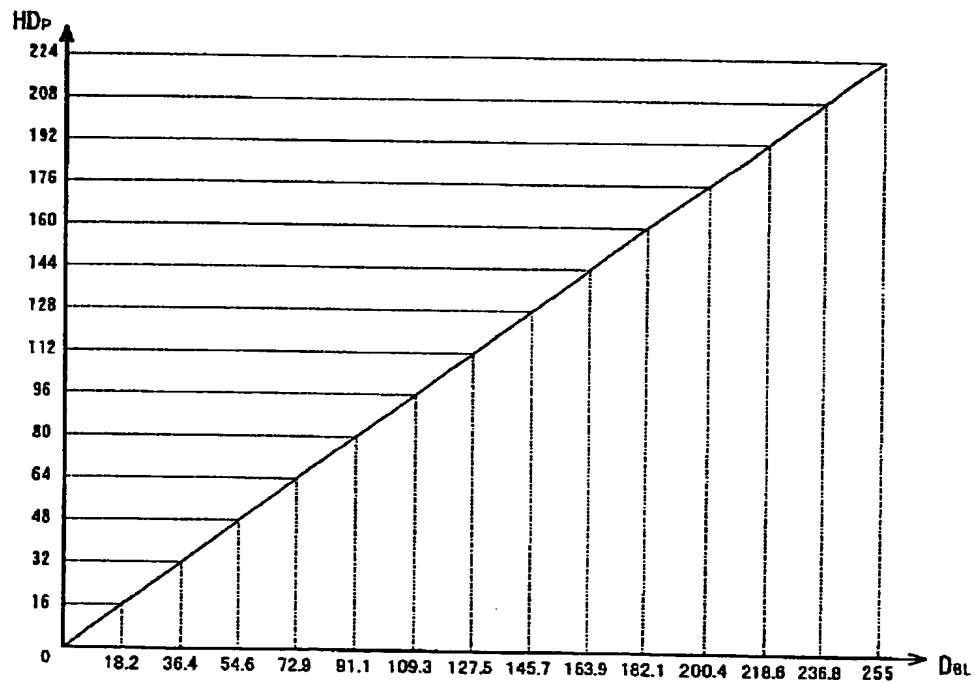
画素 番号	1フィールドにおける発光駆動パターン														発光 回数
	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	
画素1	14	12	12	11	10	9	8	7	6	5	4	3	2	1	0
画素2															1
画素3														●	4
画素4														●	9
画素5														●	17
画素6														●	27
画素7														●	40
画素8														●	56
画素9														●	75
画素10														●	97
画素11														●	122
画素12														●	150
画素13														●	182
画素14														●	217
画素15														●	256

黒丸:選択画素放電  
白丸:発光

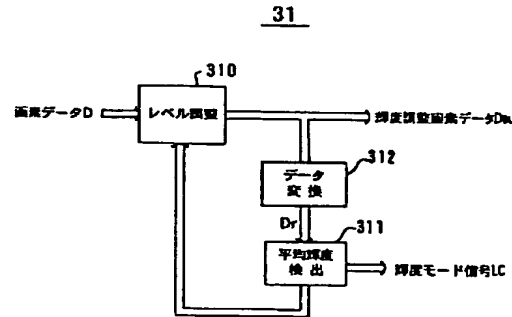
【図9】

LC	SF1	SF2	SF3	SF4	SF5	SF6	SF7	SF8	SF9	SF10	SF11	SF12	SF13	SF14
モード1	1	3	5	8	10	13	16	19	22	25	28	32	35	39
モード2	2	6	10	16	20	26	32	38	44	50	56	64	70	78
モード3	3	9	15	24	30	39	48	57	66	75	84	96	105	117
モード4	4	12	20	32	40	52	64	76	88	100	112	128	140	156

【図10】



【図7】



【図11】

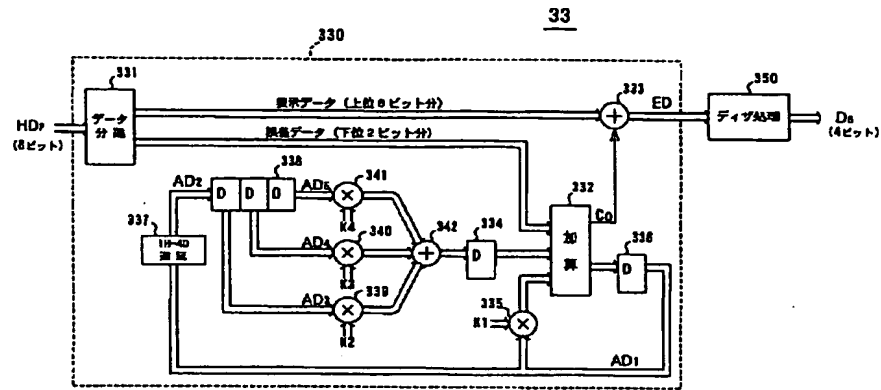
D <sub>BL</sub>		HD <sub>P</sub>		D <sub>BL</sub>		HD <sub>P</sub>	
輝度	0 ~ 7	輝度	0 ~ 7	輝度	0 ~ 7	輝度	0 ~ 7
0	00000000	0	00000000	64	01000000	58	00111000
1	00000001	0	00000000	65	01000001	57	00111001
2	00000010	1	00000001	66	01000010	57	00111001
3	00000011	2	00000010	67	01000011	58	00111010
4	00000100	3	00000011	68	01000100	59	00111011
5	00000101	4	00000100	69	01000101	60	00111100
6	00000110	5	00000101	70	01000110	61	00111101
7	00000111	6	00000110	71	01000111	62	00111110
8	00001000	7	00000111	72	01001000	63	00111111
9	00001001	7	00000111	73	01001001	64	01000000
10	00001010	8	00001000	74	01001010	65	01000001
11	00001011	9	00001001	75	01001011	65	01000001
12	00001100	10	00001010	76	01001100	66	01000010
13	00001101	11	00001011	77	01001101	67	01000011
14	00001110	12	00001100	78	01001110	68	01000100
15	00001111	13	00001101	79	01001111	69	01000101
16	00010000	14	00001110	80	01010000	70	01000110
17	00010001	14	00001110	81	01010001	71	01000111
18	00010010	15	00001111	82	01010010	72	01001000
19	00010011	16	00010000	83	01010011	72	01001000
20	00010100	17	00010001	84	01010100	73	01001001
21	00010101	18	00010010	85	01010101	74	01001010
22	00010110	19	00010011	86	01010110	75	01001011
23	00010111	20	00010100	87	01010111	76	01001100
24	00011000	21	00010101	88	01011000	77	01001101
25	00011001	21	00010101	89	01011001	77	01001101
26	00011010	22	00010110	90	01011010	78	01001110
27	00011011	23	00010111	91	01011011	79	01001111
28	00011100	24	00011000	92	01011100	80	01010000
29	00011101	25	00011001	93	01011101	81	01010001
30	00011110	26	00011010	94	01011110	82	01010010
31	00011111	27	00011011	95	01011111	83	01010011
32	00100000	28	00011100	96	01100000	84	01010100
33	00100001	28	00011100	97	01100001	85	01010101
34	00100010	29	00011101	98	01100010	86	01010110
35	00100011	30	00011110	99	01100011	86	01010110
36	00100100	31	00011111	100	01100100	87	01010111
37	00100101	32	00100000	101	01100101	88	01011000
38	00100110	33	00100001	102	01100110	89	01011001
39	00100111	34	00100010	103	01100111	90	01011010
40	00101000	35	00100011	104	01101000	91	01011011
41	00101001	36	00100100	105	01101001	92	01011100
42	00101010	36	00100100	106	01101010	93	01011101
43	00101011	37	00100101	107	01101011	93	01011101
44	00101100	38	00100110	108	01101100	94	01011110
45	00101101	39	00100111	109	01101101	95	01011111
46	00101110	40	00101000	110	01101110	96	01100000
47	00101111	41	00101001	111	01101111	97	01100001
48	00110000	42	00101010	112	01110000	98	01100010
49	00110001	43	00101011	113	01110001	99	01100011
50	00110010	43	00101011	114	01110010	100	01100100
51	00110011	44	00101100	115	01110011	101	01100101
52	00110100	45	00101101	116	01110100	101	01100101
53	00110101	46	00101110	117	01110101	102	01100110
54	00110110	47	00101111	118	01110110	103	01100111
55	00110111	48	00110000	119	01110111	104	01101000
56	00111000	49	00110001	120	01111000	105	01101001
57	00111001	50	00110010	121	01111001	106	01101010
58	00111010	50	00110010	122	01111010	107	01101011
59	00111011	51	00110011	123	01111011	108	01101100
60	00111100	52	00110100	124	01111100	108	01101100
61	00111101	53	00110101	125	01111101	109	01101101
62	00111110	54	00110110	126	01111110	110	01101110
63	00111111	55	00110111	127	01111111	111	01101111

【図 1 2】

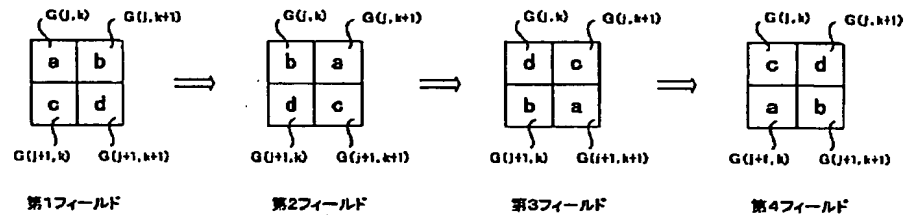
D <sub>BL</sub>		HD <sub>P</sub>		D <sub>BL</sub>		HD <sub>P</sub>	
脚度	0 ~ 7	脚度	0 ~ 7	脚度	0 ~ 7	脚度	0 ~ 7
128	10000000	112	01110000	192	11000000	188	10101000
129	10000001	113	01110001	193	11000001	189	10101001
130	10000010	114	01110010	194	11000010	170	10101010
131	10000011	115	01110011	195	11000011	171	10101011
132	10000100	116	01110011	196	11000100	172	10101100
133	10000101	118	01110100	197	11000101	173	10101101
134	10000110	117	01110101	198	11000110	173	10101101
135	10000111	118	01110110	199	11000111	174	10101110
136	10001000	119	01110111	200	11001000	175	10101111
137	10001001	120	01111000	201	11001001	176	10110000
138	10001010	121	01111001	202	11001010	177	10110001
139	10001011	122	01111010	203	11001011	178	10110010
140	10001100	122	01111010	204	11001100	179	10110011
141	10001101	123	01111011	205	11001101	180	10110100
142	10001110	124	01111100	206	11001110	180	10110100
143	10001111	125	01111101	207	11001111	181	10110101
144	10010000	126	01111110	208	11010000	182	10110110
145	10010001	127	01111111	209	11010001	183	10110111
146	10010010	128	10000000	210	11010010	184	10111000
147	10010011	129	10000001	211	11010011	185	10111001
148	10010100	130	10000010	212	11010100	186	10111010
149	10010101	130	10000010	213	11010101	187	10111011
150	10010110	131	10000011	214	11010110	187	10111011
151	10010111	132	10000100	215	11010111	188	10111100
152	10011000	133	10000101	216	11011000	189	10111101
153	10011001	134	10000110	217	11011001	190	10111110
154	10011010	135	10000111	218	11011010	191	10111111
155	10011011	136	10001000	219	11011011	192	11000000
156	10011100	137	10001001	220	11011100	193	11000001
157	10011101	137	10001001	221	11011101	194	11000010
158	10011110	138	10001010	222	11011110	195	11000011
159	10011111	139	10001011	223	11011111	196	11000011
160	10100000	140	10001100	224	11100000	196	11000100
161	10100001	141	10001101	225	11100001	197	11000101
162	10100010	142	10001110	226	11100010	198	11000110
163	10100011	143	10001111	227	11100011	199	11000111
164	10100100	144	10010000	228	11100100	200	11001000
165	10100101	144	10010000	229	11100101	201	11001001
166	10100110	145	10010001	230	11100110	202	11001010
167	10100111	146	10010010	231	11100111	202	11001010
168	10101000	147	10010011	232	11101000	203	11001011
169	10101001	148	10010100	233	11101001	204	11001100
170	10101010	149	10010101	234	11101010	205	11001101
171	10101011	150	10010110	235	11101011	206	11001110
172	10101100	151	10010111	236	01101100	207	11001111
173	10101101	151	10010111	237	11101101	208	11010000
174	10101110	152	10011000	238	11101110	209	11010001
175	10101111	153	10011001	239	11101111	209	11010001
176	10110000	154	10011010	240	11110000	210	11010010
177	10110001	155	10011011	241	11110001	211	11010011
178	10110010	156	10011100	242	11110010	212	11010100
179	10110011	157	10011101	243	11110011	213	11010101
180	10110100	158	10011110	244	11110100	214	11010110
181	10110101	158	10011110	245	11110101	215	11010111
182	10110110	159	10011111	246	11110110	216	11011000
183	10110111	160	10100000	247	11110111	216	11011001
184	10111000	161	10100001	248	11111000	217	11011010
185	10111001	162	10100010	249	11111001	218	11011011
186	10111010	163	10100011	250	11111010	219	11011011
187	10111011	164	10100100	251	11111011	220	11011100
188	10111100	165	10100101	252	11111100	221	11011101
189	10111101	166	10100110	253	11111101	222	11011110
190	10111110	166	10100110	254	11111110	223	11011111
191	10111111	167	10100111	255	11111111	224	11100000



【図13】



【図16】



【図17】

演算 順数	D0	HD														1フィールドにおける発光順序パターン														発光 順数
		14	13	12	11	10	9	8	7	6	5	4	3	2	1	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	
第1	0000	0	0	0	0	0	0	0	0	0	0	0	0	0	0															0
第2	0001	0	0	0	0	0	0	0	0	0	0	0	0	0	0															1
第3	0010	0	0	0	0	0	0	0	0	0	0	0	0	0	1															4
第4	0011	0	0	0	0	0	0	0	0	0	0	0	0	1	0															9
第5	0100	0	0	0	0	0	0	0	0	0	0	0	1	0	0															17
第6	0101	0	0	0	0	0	0	0	0	0	1	0	0	0	0															27
第7	0110	0	0	0	0	0	0	0	1	0	0	0	0	0	0															40
第8	0111	0	0	0	0	0	0	1	0	0	0	0	0	0	0															56
第9	1000	0	0	0	0	0	1	0	0	0	0	0	0	0	0															78
第10	1001	0	0	0	0	1	0	0	0	0	0	0	0	0	0															87
第11	1010	0	0	0	1	0	0	0	0	0	0	0	0	0	0															122
第12	1011	0	0	1	0	0	0	0	0	0	0	0	0	0	0															150
第13	1100	0	1	0	0	0	0	0	0	0	0	0	0	0	0															182
第14	1101	0	1	0	0	0	0	0	0	0	0	0	0	0	0															217
第15	1110	1	0	0	0	0	0	0	0	0	0	0	0	0	0															255

黒丸:選択番込放電

白丸:発光SF

【図18】

画素 番号	Ds	HD														1フィールドにおける発光駆動パターン																発光 強度
		14	13	12	11	10	9	8	7	6	5	4	3	2	1	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF					
画1	0000	0	0	0	0	0	0	0	0	0	0	0	0	0	0												0					
画2	0001	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1											1					
画3	0010	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1											4					
画4	0011	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0											9					
画5	0100	0	0	0	0	0	0	0	0	0	0	1	1	0	0												17					
画6	0101	0	0	0	0	0	0	0	0	1	1	0	0	0	0												27					
画7	0110	0	0	0	0	0	0	0	1	1	0	0	0	0	0												40					
画8	0111	0	0	0	0	0	0	1	1	0	0	0	0	0	0												58					
画9	1000	0	0	0	0	0	1	1	0	0	0	0	0	0	0												75					
画10	1001	0	0	0	0	1	1	0	0	0	0	0	0	0	0												97					
画11	1010	0	0	0	1	1	0	0	0	0	0	0	0	0	0												122					
画12	1011	0	0	1	1	0	0	0	0	0	0	0	0	0	0												150					
画13	1100	0	1	1	0	0	0	0	0	0	0	0	0	0	0												182					
画14	1101	0	1	1	0	0	0	0	0	0	0	0	0	0	0												217					
画15	1110	1	1	0	0	0	0	0	0	0	0	0	0	0	0												256					

黒丸:選択遅延放電

白丸:発光SF